

(11)Publication number : 2003-286094

(43)Date of publication of application : 07.10.2003

(51)Int.Cl.

C30B 29/06
C30B 15/22
H01L 21/205
H01L 21/322

(21)Application number : 2002-088969

(71)Applicant : SUMITOMO MITSUBISHI SILICON CORP

(22)Date of filing : 27.03.2002

(72)Inventor : NINOMIYA MASA HARU

(54) METHOD OF MANUFACTURING SEMICONDUCTOR SILICON SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive silicon wafer excellent in IG (intrinsic gettering) capability by suppressing nonuniformity in the crystal axis direction of a BMD (bulk micro defect) and preventing the formation of defects such as the BMD in the vicinity of an epitaxial layer.

SOLUTION: Single crystal silicon is grown by adding a prescribed carbon and making the pulling speed high within a predetermined range when the single crystal silicon is pulled by a CZ method or a MCZ method. Thereby, a silicon wafer having a uniform and stable BMD density appears independently of the part of the crystal from the grown single crystal silicon, and the effect of IG treatment or the like, carried out after that is obtained uniformly independently of the top or bottom of the single crystal, and at the same time, shrinkage and dissolution of the BMD in the vicinity of the surface of a substrate becomes easy. Therefore, when an epitaxial film is formed by epitaxial growth, an epitaxial silicon wafer free from defects on the surface and in the vicinity of the surface can be obtained.

LEGAL STATUS

[Date of request for examination]

21.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

No. 9

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-286094
(P2003-286094A)

(43)公開日 平成15年10月7日(2003.10.7)

(51)Int.Cl. ⁷	識別記号	F I	テームト*(参考)
C 3 0 B 29/06	5 0 2	C 3 0 B 29/06	5 0 2 J 4 G 0 7 7 B 5 F 0 4 5
15/22		15/22	
H 0 1 L 21/205		H 0 1 L 21/205	
21/322		21/322	Y
		審査請求 未請求 請求項の数9	OL (全 9 頁)

(21)出願番号 特願2002-88969(P2002-88969)

(22)出願日 平成14年3月27日(2002.3.27)

(71)出願人 302006854

三菱住友シリコン株式会社
東京都港区芝浦一丁目2番1号

(72)発明者 二宮 正晴

東京都港区芝浦一丁目2番1号 三菱住友
シリコン株式会社内

(74)代理人 100075535

弁理士 池条 重信

Fターム(参考) 4G077 AA02 BA04 CF10 EH04 EH09
FB01 FE05 FE11 FE12 FJ06
PF13 PF17
5F045 AA03 AB02 AD15 AF03 BB12
HA06

(54)【発明の名称】 半導体シリコン基板の製造方法

(57)【要約】

【課題】 BMDの結晶軸方向における不均一を抑制し、エピタキシャル層近傍にBMD等の欠陥を形成することなく、安価でIG能力に優れたシリコンウェーハを提供。

【解決手段】 CZ法又はMCZ法にて単結晶シリコンを引き上げる際に、所定のカーボンを添加し、かつ引き上げ速度を所定の範囲で高速化することにより、育成した単結晶シリコンより切り出したシリコンウェーハのBMD密度が、結晶部位に関係なく、均一で安定して現れ、その後施されるIG処理など効果が単結晶のトップ～ボトムにかかわらず均等に得られ、基板表面近傍のBMDを収縮・溶解を容易にして、エピタキシャル成長により形成したエピタキシャル膜を形成した場合でも、表面及び近傍に欠陥の無いエピタキシャルシリコンウェーハを得ることができる。

【特許請求の範囲】

【請求項1】 CZ法又はMCZ法により、カーボンを不純物として導入し、単結晶引き上げ速度 (mm/min) × 単結晶直径 (mm) が $180 \text{ mm}^2/\text{min}$ 以上を満足する条件下で育成されたシリコン単結晶をウェーハに加工する半導体シリコン基板の製造方法。

【請求項2】 ウェーハに無欠陥層形成熱処理を施す請求項1に記載の半導体シリコン基板の製造方法。

【請求項3】 ウェーハに酸素析出物形成熱処理を施す請求項1に記載の半導体シリコン基板の製造方法。

【請求項4】 ウェーハにエピタキシャル成膜処理する請求項1から請求項3のいずれかに記載の半導体シリコン基板の製造方法。

【請求項5】 無欠陥層形成熱処理は、水素ガス雰囲気あるいは不活性ガス雰囲気中で 1150°C 以上の温度で30分～4時間の熱処理である請求項2に記載の半導体シリコン基板の製造方法。

【請求項6】 酸素析出物形成熱処理は、不活性ガス雰囲気、処理温度が $800 \sim 1000^\circ\text{C}$ 、処理時間が30分～2時間である請求項3に記載の半導体シリコン基板の製造方法。

【請求項7】 酸素析出物形成熱処理は、 $400 \sim 700^\circ\text{C}$ に1～24時間保持し、次に $850 \sim 1050^\circ\text{C}$ に30分～4時間保持する二段階熱処理である請求項3に記載の半導体シリコン基板の製造方法。

【請求項8】 育成されたシリコン単結晶に、 $450 \sim 600^\circ\text{C}$ の温度で1～24時間の前段熱処理を施す請求項1に記載の半導体シリコン基板の製造方法。

【請求項9】 前段熱処理を施したシリコン単結晶より得られたウェーハに、 $850 \sim 1050^\circ\text{C}$ の温度で30分～4時間の後段熱処理を施し、その後エピタキシャル成長によりシリコン基板表面にエピタキシャル膜を形成する請求項8に記載の半導体シリコン基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ULSIやLSI等の高集積デバイスの製造に使用する半導体シリコン基板の製造方法の改良に関し、不純物としてカーボンを導入してCZ（チョクラルスキー）法又はMCZ（マグネティックチョクラルスキー）にて特定の引き上げ速度で育成された単結晶シリコンより切り出したシリコンウェーハであり、酸素析出能が前記単結晶の軸方向に依らず均一化され、例えばデバイスでの熱処理を含むその後の熱処理において、いずれの単結晶位置から切り出されたウェーハであってもIG能力が必要十分なBMD (Bulk Micro Defect) 密度を有すると同時に、エピタキシャル膜を成膜した場合も表面欠陥が少なく必要十分なIG能力を有する半導体シリコン基板の製造方法に関する。

【0002】

【従来の技術】 通常、半導体デバイスを作成するシリコンウェーハ表面には、単結晶インゴット成長時に導入されるCOPを含むGrown-in欠陥（以下同様）や微少な酸素析出物が存在している。

【0003】 半導体デバイスの微細化が進むに従い、シリコン基板表面に存在するGrown-in欠陥、特にCOPや酸素析出物が、デバイスの歩留を低下させる要因であることが明らかになってきた。このような問題点を解決する手段として、下記の種々の提案がなされている。

【0004】 (1) 低COP結晶育成法又はCOP-free結晶育成法が提案されている。すなわち、引き上げ速度（成長速度）Vと固液界面での成長軸方向の温度勾配Gとの比V/Gをある臨界値以下に制御することにより、Grown-in欠陥が少ないかあるいは無い結晶を育成する方法が、特開平7-257991、特開平8-12498、特開平8-380316等々に示され、また論文（日本結晶成長学会誌Vol. 25, P207）に報告されている。

【0005】 (2) 高温熱処理（ 1150°C 以上の水素やArガス雰囲気下での熱処理）が提案されている。シリコンウェーハを水素雰囲気にて $1200^\circ\text{C} \times 1$ 時間程度、処理する方法及び効果を示す文献が種々公開されている。この高温水素熱処理の効果は、Grown-in欠陥や酸素析出核のSi-O結合を水素の還元作用で解離・分解するものと考えられている。{Proc. 20th Symp. On ULSI Ultra Clean Technology 102-109 (1993). The Degradation of Electronic Devices due to Device Operation as well as Crystalline and Process-induced Defects, p101-110, Electrochem. Society (1994)}

【0006】 (3) IG処理方法が提案されている。このIG (Intrinsic Gettering) 処理法は、以前より種々の手法が提案されてきた。すなわち、一般的なIG処理法はa. $1150 \sim 1200^\circ\text{C}$ の高温熱処理、b. $500 \sim 800^\circ\text{C}$ の低温多段階熱処理、c. $900 \sim 1000^\circ\text{C}$ の中温熱処理の3段階又は上記のa. 及びb. の2段階で実施されてきた。（「超LSIプロセス制御工学」津屋英樹 P203-219 丸善株式会社 1995）

【0007】 また、IG処理を施す対象は、エピタキシャル前の状態を含めたシリコンウェーハとエピタキシャル成長後のシリコンウェーハとに大別される。エピタキシャル成長後のシリコン基板にIG処理を施す方法では、エピタキシャル層に酸素が拡散してデバイスの熱処理プロセスにて欠陥を発生してしまう可能性がある。さらに、基板やエピタキシャル層のドーパント不純物が拡

散してエピタキシャル層の膜厚、比抵抗及び遷移領域等の特性を換えてしまうことと、エピタキシャル成長後の熱処理によりシリコン基板表面にパーティクルを付着させて歩留が低下する問題があり、一般的ではない。

【0008】IG処理をエピタキシャル成長前のシリコンウェーハに施す方法には、エピタキシャル成長前に下記に示すような方法が提案されている。d. 600～800℃の熱処理を実施する1段階熱処理法（特開平1-298726号）、e. 400～550℃の第1熱処理後に、650～750℃の第2熱処理を実施する2段階熱処理法（特開平5-102167号）、f. 850～1000℃の第1熱処理、700℃以下の第2熱処理、800～1000℃の第3熱処理を実施する3段階熱処理法（特開平5-259171号）。

【0009】

【発明が解決しようとする課題】ところが、従来提案されている方法では種々の問題がある。（1）低COP結晶育成法又はCOP-free結晶育成法では、引き上げ速度と結晶内の温度勾配を制御して、COPを含むGrown-in欠陥の形成を防止していくので、一般的に引き上げ速度を従来より遅くする必要があり、生産性が低下してしまう。さらに、単結晶引き上げに於いて単結晶トップ側及びテイル側では、温度勾配と結晶引き上げ速度を制御できないので、この部分ではCOPを含むGrown-in欠陥の形成防止ができず、使用できないという欠点が生じる。

【0010】また、このような結晶を使用したシリコンウェーハでは、デバイス投入前の酸化膜耐圧特性、特に、経時絶縁破壊特性（TDDB）は良好であるが、デバイスプロセスでの熱処理を経た場合には酸化膜耐圧特性が劣化してしまう欠点がある。すなわち、シリコンウェーハ表面には、引き上げ速度が遅いことにより、COP密度は少ないがそのサイズが大きくなり、加えて格子間シリコンリッチな領域であるので、デバイスでの熱処理において表面が改質され難く、酸素析出が起り難いので、ゲッタリング効果が少ないためと考えられる。

【0011】このサイズの大きなCOPを有するシリコンウェーハに、例えば、1200℃×1時間の水素雰囲気やAr雰囲気の高温熱処理を行ってもCOPが消滅し難くなり、表面改質効果が十分でなく、デバイス特性に影響がでてしまう。同様に、エピタキシャル成長処理を行っても、エピタキシャル膜表面に欠陥が発生してしまう。

【0012】また、300mm等の大口径単結晶シリコンインゴットの作成においては、さらに引き上げ速度を遅くする必要があり、生産性が低下してコストの大幅な上昇を招いてしまうと同時に、デバイスの低温化が進む中での表面改質効果やゲッタリング効果がデバイスプロセスにて十分形成できないと言う問題も生じてしまう。

【0013】（2）高温熱処理では、例えば高温1段階熱

処理は高温の非酸化雰囲気で行われており、Grown-in欠陥や酸素析出物は表面近傍より分解・消滅していく。しかし、通常の結晶では、結晶成長軸方向に酸素濃度が低くなり、引き上げ中の熱履歴が結晶部位において相違するために、結晶のトップ側ではGrown-in欠陥や酸素析出物が残留し、表面近傍に欠陥領域が発生してしまう。

【0014】また、単結晶のボトム側では、酸素濃度がトップ側より低下すると同時に引き上げ中の熱処理時間が短く、Grown-in欠陥や酸素析出物は消滅するが、IG能力の確保に必要なBMD密度が得られないという欠点が生じる。さらに、シリコンウェーハ内部に析出するBMD密度も結晶部位に依存しており、結晶全体では、酸素濃度及び熱履歴の差違もあり、IG効果がばらついてしまう。

【0015】また、上記（1）のCOPが少ない結晶から製造したシリコンウェーハに高温熱処理、例えば1150℃以上の水素やArガス雰囲気下での熱処理を施す方法もあるが、COPサイズが大きいため消滅し難く、ウェーハ表面にCOPが残存してしまうと同時にBMD形成が十分でないという問題が生じていた。

【0016】（3）IG処理方法では、一般的に、CZ法又はMCZ法にて引き上げた単結晶シリコンインゴットより切り出したウェーハに熱処理、例えば1000℃×12時間、酸素雰囲気中で熱処理した場合には、形成されるBMD密度は結晶の軸方向に一定にならず、トップからボトム方向に少なくなっていく特性がある。

【0017】従って、従来から提案されているIG処理方法では、シリコン基板内部に形成されるBMD密度を一定とするべく、結晶の引き上げ長さ、酸素濃度、結晶部位及び目標BMD密度に応じたIG処理の調整が行われていた。

【0018】すなわち、プロセス調整内容は、例えば低温多段階熱処理の投入温度と昇温時間の調整する方法、あるいは中温熱処理時間の調整方法にて実施されていた。この調整には、投入されるシリコンウェーハを用いた調整作業が必要な場合もある。

【0019】また、エピタキシャル成長前に行うIG処理法においては、前述した1段階熱処理する方法では、BMDが結晶軸方法に均一に形成されない傾向が特に強く出てしまうため、BMDやDZ幅に結晶軸方法の依存性が生じて、ゲッタリング作用が不十分となったり、エピタキシャル膜表面に欠陥が生じてしまう問題があった。

【0020】前述した2段階熱処理方法では、BMDの軸方法不均一性は、1段階熱処理方法より緩和されるが、第2段階の熱処理温度が不適當であるため、ゲッタリング作用が不十分となったり、エピタキシャル膜表面に欠陥が生じたりしてしまう。

【0021】前述した3段階熱処理する方法では、BM

D形成に長時間を要すると同時に、結晶の軸方法でのBMD均一化にプロセス調整が必要であり、生産性やコストの面で不利な点が生じる。

【0022】この発明は、IG能を付与するためのシリコンウェーハの製造方法における前述の問題、すなわちBMDの結晶軸方向における不均一を抑制し、エピタキシャル層近傍にBMD等の欠陥を形成することなく、安価でIG能力に優れたシリコンウェーハを提供できる半導体シリコン基板の製造方法の提案を目的としている。

【0023】

【課題を解決するための手段】発明者は、熱処理に伴う酸素析出能が単結晶の軸方向に依らず均一である単結晶シリコンインゴットの製造を目的に種々検討した結果、CZ法又はMCZ法にて単結晶シリコンを引き上げる際に、故意に所定のカーボンを添加し、かつ引き上げ速度を所定の範囲で高速化することにより、育成した単結晶シリコンより切り出したシリコンウェーハのBMD密度が、結晶部位に依らず、均一で安定して現れることを知見した。

【0024】また、発明者は、CZ法又はMCZ法において、カーボンを故意に添加した場合にはシリコン基板内部のBMDがより低温側で発生することを知見し、さらに、単結晶引き上げ速度を速くすると、単結晶中のGrown-in欠陥のサイズが小さくなること、かかるシリコンウェーハに800℃以上の熱処理を行うと表面近傍のGrown-in欠陥は減少するが、ウェーハ内部にはBMDが形成されやすくなることを知見した。

【0025】通常の引き上げ速度では、基板表面近傍に顕在化するGrown-in欠陥は、その後のエピタキシャル成長における1000℃以上の熱処理を受けても消滅せず、エピタキシャル層に積層欠陥を発生させたり、デバイス工程での熱処理によりシリコンウェーハ表面に欠陥を発生させてしまうことがある。

【0026】しかし発明者は、前記製造方法による単結晶シリコンを用いると、800℃以上の熱処理を加えた場合の基板表面近傍のBMDが従来より低減すること、並びにエピタキシャル成長後のエピタキシャル層表面の欠陥が従来より少ないことを知見し、この発明を完成した。

【0027】すなわち、この発明は、CZ法又はMCZ法により、カーボンを不純物として導入し、単結晶引き上げ速度(mm/min)×単結晶直径(mm)が180mm²/min以上を満足する条件下で育成されたシリコン単結晶をウェーハに加工することを特徴とする半導体シリコン基板の製造方法である。

【0028】また、この発明は、上記構成において、ウェーハに無欠陥層形成熱処理、例えば、水素ガス雰囲気あるいは不活性ガス雰囲気中で1150℃以上の温度で30分～4時間の熱処理を施す方法、ウェーハに酸素析出物形成熱処理、例えば、不活性ガス雰囲気、処理温度

が800～1000℃、処理時間が30分～2時間の処理、あるいは、400～700℃に1～24時間保持し、次に850～1050℃に30分～4時間保持する二段階熱処理を施す方法、ウェーハにエピタキシャル成膜処理する方法、を併せて提案する。

【0029】さらに、この発明は、CZ法又はMCZ法により、カーボンを不純物として導入し、単結晶引き上げ速度(mm/min)×単結晶直径(mm)が180mm²/min以上を満足する条件下で育成されたシリコン単結晶に、450～600℃の温度で1～24時間の前段熱処理を施し、このシリコン単結晶より得られたウェーハに、850～1050℃の温度で30分～4時間の後段熱処理を施し、その後エピタキシャル成長によりシリコン基板表面にエピタキシャル膜を形成する半導体シリコン基板の製造方法である。

【0030】

【発明の実施の形態】この発明による半導体シリコン基板の製造方法は、CZ法又はMCZ法で単結晶シリコンを引き上げる際に、所定量のカーボンを導入すると同時に、目標とするインゴット直径に応じて単結晶引き上げ速度を、単結晶引き上げ速度(mm/min)×単結晶直径(mm)が180mm²/min以上を満足する条件にて育成した単結晶シリコンを出発材料とすることを特徴としている。

【0031】この発明は、目標とするインゴット直径に応じて単結晶引き上げ速度を所定条件に設定した単結晶を出発材料とすることにより、切り出された後に施されるIG処理などで問題となる、単結晶のトップ～ボトムにおけるBMD形成速度や密度の差をなくすと同時に、基板表面近傍のBMDを収縮・溶解を容易にして、エピタキシャル成長により形成したエピタキシャル膜を形成した場合でも、表面及び近傍に欠陥の無いエピタキシャルシリコンウェーハを得ることができる。

【0032】この発明において、CZ法又はMCZ法は、公知の結晶成分熔融液に浸した種結晶の所定面に単結晶を育成させるチョクラルスキー法並びにその装置を採用することが可能であり、種々制御を併用した構成や、交流磁界を作用させる構成、磁場中引上げを行うMCZ法等、いずれの構成からなる方法、装置も採用することができる。

【0033】この発明において、CZ法又はMCZ法の育成時に抵抗率調整ために導入するボロン、リン、砒素等のドーパント剤以外に、不純物としてカーボンを導入する。導入する炭素濃度の範囲は引き上げ単結晶のトップ側で1～10×10¹⁷atoms/ccとなるように導入することが好ましい。

【0034】炭素濃度が1×10¹⁷atoms/cc未満では、単結晶成長方向にBMD核を均一に形成する効果が期待できず、また10×10¹⁷atoms/ccを越えると、シリコン中の固溶度内ではあるが、単結晶育

成時の単結晶化率が悪化し、結晶歩留が低下してコストアップとなる。さらに好ましい炭素濃度の範囲は、 $1 \sim 8 \times 10^{17} \text{ atoms/cc}$ である。

【0035】この発明において、酸素濃度の範囲は $9 \sim 17 \times 10^{17} \text{ atoms/cc}$ (old ASTM) とすることが望ましい。酸素濃度が $9 \times 10^{17} \text{ atoms/cc}$ 未満では必要なBMD密度を得るのに時間を要し、 $17 \times 10^{17} \text{ atoms/cc}$ を越えると基板表面にBMDが残存してエピタキシャル層に欠陥を発生させてしまう。さらに好ましい酸素濃度範囲は $10 \sim 16 \times 10^{17} \text{ atoms/cc}$ である。

【0036】この発明の特徴である、引き上げ速度 (mm/min) \times 単結晶直径 (mm) の単結晶化条件は、 $180 \text{ mm}^2/\text{min}$ 以上が望ましい。この単結晶化条件の上限は、育成する単結晶インゴット径に応じて変動し、直径150mmでは $400 \text{ mm}^2/\text{min}$ 、直径200mmの場合は $440 \text{ mm}^2/\text{min}$ 、直径300mmの場合は $540 \text{ mm}^2/\text{min}$ 以下の範囲が望ましい。なお、実際の引上げインゴット径は、ウェーハ径200mmの場合は200数mm等の若干大きい外径のものとなるが、この発明の単結晶条件はいずれの外径でも同様であり、同様の作用効果をもたらす。

【0037】前記単結晶化条件の上限値を超えると、単結晶インゴットの育成が不安定となると同時に単結晶インゴットのトップ側及びボトム側での引き上げ速度制御が困難となり、その部分の単結晶インゴットが使用できなくなり、歩留まり低下が生じてしまう。

【0038】前記引き上げ速度 (mm/min) \times 単結晶直径 (mm) の単結晶化条件は、直径150mmでは $180 \sim 400 \text{ mm}^2/\text{min}$ 、直径200mmの場合は $180 \sim 440 \text{ mm}^2/\text{min}$ 、直径300mmの場合は $180 \sim 540 \text{ mm}^2/\text{min}$ の範囲が特に好ましい。

【0039】この発明において、前記単結晶条件で成長させたシリコン単結晶より、ウェーハに加工する工程、得られたウェーハにトリクロロシラン等を用いたエピタキシャル成長によりエピタキシャル膜を形成する工程などは、公知のいずれの加工工程、熱処理工程、気相成長法をも採用、組み合わせて適宜適用することが可能である。

【0040】例えば、単結晶インゴットをスライスして薄円板状のウェーハを得るスライス工程、ウェーハの欠けや割れを防ぐための面取り工程、面取りされたウェーハを平坦化するためのラッピング工程、前記加工によりウェーハに発生した加工歪み層を除去するエッチング工程、面取り部を仕上研磨する面取り部研磨工程、前記ウェーハを片面あるいは両面研削する平面研削工程、前記ウェーハを片面あるいは両面研磨する研磨工程、前記ウェーハの仕上げ研磨を行う工程など種々の工程並びに装置が提案されており、これら工程の選択組合せや順序は

多岐に渡るが、この発明方法に、後述の熱処理工程とともにいずれの工程も適用することが可能である。

【0041】また、無欠陥層形成熱処理や酸素析出物形成熱処理工程も、公知のいずれの雰囲気や処置条件の熱処理工程であっても、この発明方法に適宜選定適用でき、単結晶のトップ～ボトムにおけるBMD形成速度や密度の差をなくしたことから、いずれの結晶位置から切り出されたウェーハも前記熱処理による同等の効果が得られる。

【0042】この発明において、無欠陥層形成熱処理は、例えば、水素ガス雰囲気あるいは不活性ガス雰囲気中で 1150°C 以上の温度で30分～4時間の熱処理が好ましい。熱処理温度が 1150°C 未満、保持時間が30分未満では無欠陥層形成効果が十分でなく、4時間を超えて処理しても該効果が飽和するため好ましくない。

【0043】この発明において、酸素析出物形成熱処理は、例えば、不活性ガス雰囲気、処理温度が $800 \sim 1000^\circ\text{C}$ 、処理時間が30分～2時間の処理が好ましい。処理温度が 800°C 未満では、BMD析出核を結晶成長軸方向に均一に且つ十分な密度で形成できず、 1000°C を越えると形成効果が飽和し、処理時間が30分未満ではこの温度範囲内の熱処理におけるBMD核形成が不均一となり、2時間を超えてもBMD核の形成にあまり変化がない。

【0044】この発明において、酸素析出物形成熱処理は、 $400 \sim 700^\circ\text{C}$ に1～24時間保持し、次に $850 \sim 1050^\circ\text{C}$ に30分～4時間保持する二段階熱処理が好ましい。前段熱処理は、処理温度が 450°C 未満では、BMD析出核を結晶成長軸方向に均一に且つ十分な密度で形成するのに非常に時間を要し、生産性が大きく低下するために好ましくなく、 700°C を越えると、酸素析出核が成長して、基板表面近傍まで形成され、後段熱処理及びエピタキシャル成長にて収縮・消滅しなくなり、基板表面に欠陥が顕在化してしまうため、 $400 \sim 700^\circ\text{C}$ に保持する。

【0045】前段熱処理は、処理時間が1時間未満では、この温度範囲内の熱処理におけるBMD核形成が不均一となり、その後形成されるBMD密度にばらつきが生じるため好ましくなく、24時間を超えてもBMD核の形成にあまり変化が無く、生産性の低下を招くので1～24時間の保持時間とする。

【0046】後段の熱処理は、処理温度が 850°C 未満では、基板表面近傍のBMD消滅効果が少ないと同時に酸素起因の析出が生じてしまう、 1050°C を越えると基板内部に形成されたBMD核が成長前に消滅して、サイズの大きなBMDが形成されてエピタキシャル層に積層欠陥等の欠陥を発生させてしまうため、 $850 \sim 1050^\circ\text{C}$ の温度に保持する。

【0047】また、後段の熱処理保持時間は30分未満では、BMDの成長に不十分であり、4時間を超えると

基板表面にBMDが顕在化してエピタキシャル層に欠陥が発生してしまうので、30分～4時間の保持時間とする。

【0048】この前段の熱処理は、不活性ガス、例えば窒素ガスあるいはアルゴンガス雰囲気を実施する。酸化雰囲気で行うと、格子間にシリコンが注入されて酸素と結合して安定な酸素起因欠陥を形成し、又基板表面から酸素が拡散し、Grown-in欠陥(COP)に結合して安定化させるため、後段の熱処理やエピタキシャル成長の熱処理を受けても、表面近傍に形成された欠陥は消滅せず、エピタキシャル層に欠陥を形成してしまう。後段の熱処理は、酸素又は不活性ガスの各々単独又は混合雰囲気を実施されるが、上述した観点から、窒素ガス又はアルゴン雰囲気を実施する事が特に望ましい。

【0049】この発明において、上述の前段の熱処理は、単結晶シリコンインゴット状態で実施してもよい。すなわち、CZ法により成長した単結晶シリコンインゴットに、450～700℃の温度で1～24時間の前段熱処理を施しても、シリコン基板状態で同じ熱処理をする場合と同様のBMD核形成効果が得られ、その後単結晶インゴットを基板に加工して850～1050℃の温度で30分～4時間の熱処理を施し、その後エピタキシャル成長によりシリコン基板表面にエピタキシャル膜を形成することで、IG能に優れたエピタキシャル半導体シリコン基板を製造することができる。

【0050】

【実施例】実施例1

CZ法にて、結晶のトップにて $1.5 \times 10^{17} \text{ atoms/cc}$ 濃度となるようにカーボンドープし、引き上げ速度を種々変更して、直径が150mm、200mm、300mm(インゴット外周研削後の値)の3種のカーボンドープ有り単結晶シリコンインゴットを作成した。同様に、結晶のトップにてカーボン濃度が $0.1 \times 10^{17} \text{ atoms/cc}$ 以下のカーボンドープ無し単結晶シリコンインゴットを作成した。各単結晶シリコンインゴットの他の育成条件は、何れもP型(100)結晶、抵抗率 $10 \sim 5 \Omega \cdot \text{cm}$ 、酸素濃度 $11 \sim 13 \times 10^{17} \text{ atoms/cm}^3$ (old ASTM)とした。

【0051】次に、各単結晶インゴットの直胴部トップより100mm、500mm、900mmの3カ所よりスライス、ラッピング、エッチング、鏡面研磨加工を行ってウェーハに加工しサンプルウェーハを作成した。

【0052】各単結晶インゴット中の軸方向の酸素析出能を調べるため、各サンプルウェーハに酸素析出物評価熱処理として等温熱処理(1100℃/16hr)を施した後、ウェーハを劈開してライトエッチング液で5分間エッチング処理して、光学顕微鏡によりウェーハ劈開断面のBMD密度を調査した。カーボンドープ有り単結晶インゴットから得られた各ウェーハのBMD密度分布の結果を図1に示し、カーボンドープ無し単結晶インゴ

ットから得られた各ウェーハのBMD密度分布の結果を図2に示す。なお、図1A、図2Aのグラフ中、菱形は100mm、四角は500mm、三角は900mmの位置でスライスされたサンプルの場合であり、図1B、図1C、図2B、図2Cのグラフ中、菱形は500mm、四角は900mm、三角は100mmの位置でスライスされたサンプルの場合である。

【0053】図1から明らかなように、カーボンをドープした単結晶から得られたウェーハにおいて、引き上げ速度(mm/min) \times 単結晶直径(mm)の値が $180 \text{ mm}^2/\text{min}$ 以上の場合に、BMD密度が高密度に引き上げ軸方向に均一化することが分かる。一方、図2から明らかなように、カーボンをドープしない単結晶から得られたウェーハは、引き上げ速度に関係なく、BMD密度が引き上げ軸方向に均一化しないことが分かる。

【0054】また、各サンプルウェーハ表面のパーティクル(LPD:Light Point Defect)サイズを調査するため、レーザーパーティクルカウンター(KLA-Tencor SP-1)を用いて、各ウェーハ表面のLPDサイズ(平均粒径)を調査した。この評価実験結果の代表例として、直径200mmのサンプルウェーハを評価したときの実験結果を図3に示す。図3Aはカーボンをドープした単結晶から得られたサンプルウェーハを用いたときの結果を示し、図3Bはカーボンをドープしない単結晶から得られたサンプルウェーハを用いたときの結果を示す。なお、図3Aのグラフ中、菱形は100mm、四角は500mm、三角は900mmの位置でスライスされたサンプルの場合であり、図3Bのグラフ中、菱形は500mm、四角は900mm、三角は100mmの位置でスライスされたサンプルの場合である。

【0055】図3Aおよび図3Bから明らかなように、カーボンをドープした単結晶から得られたウェーハは、ノンドープのウェーハよりもLPDサイズが縮小化することが分かり、引き上げ速度が 0.9 mm/min 以上、すなわち引き上げ速度(mm/min) \times 単結晶直径(mm)の値が $180 \text{ mm}^2/\text{min}$ 以上の場合に、LPDの平均粒径が $0.1 \mu\text{m}$ 以下になることが分かる。なお、他の結晶サイズから得られたサンプルウェーハにおいても、カーボンが添加され引き上げ速度(mm/min) \times 単結晶直径(mm)の値が $180 \text{ mm}^2/\text{min}$ 以上を満足する場合において、ほぼ同様の結果であった。

【0056】実施例2

実施例1で作成した各サンプルウェーハの表面にエピタキシャル成長処理を実施した。具体的には、各サンプルウェーハをエピタキシャル成長炉内で1150℃で1分間の水素ベークに続き、1100℃でウェーハ表面に $3 \mu\text{m}$ 厚さのシリコンエピタキシャル膜をCVD法により形成した。

【0057】エピタキシャル成長後の表面の積層欠陥（SF）などの結晶欠陥密度を調査するため、エピタキシャル膜の表面をライトエッチング液で1 μm エッチング除去した後、光学顕微鏡を用いて、エピタキシャル膜表面の欠陥密度を測定した。この評価実験結果の代表例として、直径200mmのサンプルウェーハを評価したときの実験結果を図4に示す。図4Aはカーボンをドーブした単結晶から得られたサンプルウェーハを用いたときの結果を示し、図4Bはカーボンをドーブしない単結晶から得られたサンプルウェーハを用いたときの結果を示す。なお、図4Aのグラフ中、菱形は100mm、四角は500mm、三角は900mmの位置でスライスされたサンプルの場合であり、図4Bのグラフ中、菱形は500mm、四角は900mm、三角は100mmの位置でスライスされたサンプルの場合である。

【0058】図4Aおよび図4Bから明らかなように、カーボンをドーブした単結晶から得られたウェーハの表面にエピタキシャル膜を形成したウェーハは、エピタキシャル膜表面で観察される結晶欠陥密度が少なく、引上げ速度が0.9mm/min以上、すなわち引上げ速度（mm/min） \times 単結晶直径（mm）の値が180mm²/min以上の場合において、より結晶欠陥密度が低減することが分かる。なお、他の結晶サイズから得られたサンプルウェーハにエピタキシャル膜を形成したサンプルウェーハにおいても、カーボンがドーブされ、引上げ速度（mm/min） \times 単結晶直径（mm）の値が180mm²/min以上を満足する場合において、ほぼ同様の結果であった。

【0059】エピタキシャル膜表面の結晶欠陥密度が低減した理由としては、恐らく、実施例1で説明したように、カーボンがドーブされ高速引き上げにより育成された単結晶から得られたウェーハはLPDの平均粒径が微細化していることから、この微小サイズ化したLPDがエピタキシャル成長処理における高温熱処理中に消滅したことによるものと考えられる。

【0060】上記した説明から明らかなように、本発明で規定するカーボンが所定濃度でドーブされ、引上げ速度（mm/min） \times 単結晶直径（mm）の値が180mm²/min以上の条件を満足する単結晶から切り出されたシリコン単結晶ウェーハは、BMD密度が高密度に引上げ軸方向に均一化し、LPDサイズも縮小化する。しかもこのウェーハにエピタキシャル成長処理を施してもエピタキシャル膜表面で観察される結晶欠陥密度が少ないという効果を発揮する。

【0061】次に、本発明で規定するウェーハに無欠陥層形成熱処理および/または酸素析出物形成熱処理あるいはこれらの熱処理後にエピタキシャル成長処理を実施したときの実験条件および実験結果を実施例3～8に基づき説明する。

【0062】実施例3

実施例1と同条件で作成したカーボンドーブした各サンプルウェーハについて、無欠陥層形成熱処理を実施した。具体的には、各サンプルウェーハを水素ガス雰囲気中で1200℃の温度で1時間の高温熱処理する無欠陥層形成熱処理を実施した。また、この無欠陥層形成熱処理された各サンプルウェーハをエピタキシャル成長炉内で1150℃で1分間の水素ベークに続き、1100℃でウェーハ表面に3 μm 厚さのシリコンエピタキシャル膜をCVD法により形成した。

10 【0063】実施例4

実施例1と同条件で作成したカーボンドーブした各サンプルウェーハについて、酸素析出物形成熱処理を実施した。具体的には、各サンプルウェーハを窒素ガス雰囲気中で900℃の温度で1時間熱処理する酸素析出物形成熱処理を実施した。また、この酸素析出物形成熱処理された各サンプルウェーハをエピタキシャル成長炉内で1150℃で1分間の水素ベークに続き、1100℃でウェーハ表面に3 μm 厚さのシリコンエピタキシャル膜をCVD法により形成した。

20 【0064】実施例5

実施例1と同条件で作成したカーボンドーブした各サンプルウェーハについて、無欠陥層形成熱処理を施した後、酸素析出物形成熱処理を実施した。具体的には、各サンプルウェーハを5%酸素（95%窒素）ガス雰囲気中で1150℃の温度で5時間熱処理する無欠陥層形成熱処理を施した後、窒素ガス雰囲気中で750℃の温度で4時間熱処理する酸素析出物形成熱処理を実施した。また、この酸素析出物形成熱処理された各サンプルウェーハをエピタキシャル成長炉内で1150℃で1分間の水素ベークに続き、1100℃でウェーハ表面に3 μm 厚さのシリコンエピタキシャル膜をCVD法により形成した。

30 【0065】実施例6

実施例1と同条件で作成したカーボンドーブした各サンプルウェーハについて、二段階の酸素析出物形成熱処理を実施した。具体的には、各サンプルウェーハを窒素ガス雰囲気中で500℃の温度で10時間熱処理した後、窒素ガスとアルゴンガスの混合ガス雰囲気中で950℃の温度で1.5時間熱処理する酸素析出物形成熱処理を実施した。また、この酸素析出物形成熱処理された各サンプルウェーハをエピタキシャル成長炉内で1150℃で1分間の水素ベークに続き、1100℃でウェーハ表面に3 μm 厚さのシリコンエピタキシャル膜をCVD法により形成した。

40 【0066】実施例3～6で得られた各サンプルシリコンウェーハについて、SC-1洗浄およびSC-2洗浄を行った後、酸素析出物評価熱処理として、2%酸素（98%窒素）ガス雰囲気にて、800℃で3時間の熱処理および1000℃で12時間の熱処理を施した後、
50 ウェーハを劈開してライトエッチング液で5分間エッチ

ング処理して、光学顕微鏡によりウェーハ劈開断面のBMD密度および無欠陥層の幅(DZ層)を調査した。また、実施例3~6で得られた各サンプルエピタキシャルウェーハについて、エピタキシャル膜を形成した表面をライトエッチング液で1μmエッチング除去した後、光学顕微鏡を用いてエピタキシャル膜表面の欠陥(エピ欠陥)密度を測定した。

【0067】その結果、実施例3および実施例5で得られた各サンプルシリコンウェーハは、無欠陥層形成熱処理が施されていることから、ウェーハ表面に20μm以上の無欠陥層が形成されており、実施例1と同等のBMD密度分布を示した。また、実施例4~6で得られた各サンプルシリコンウェーハは、特定のIG処理が実施されていることから、結晶の部位依存性がなくウェーハ内部に 1×10^5 個/cm²レベルのBMD密度が均一に確保されており十分なゲッタリング能力を有していることが確認された。一方、実施例3~6で得られた各サンプルエピタキシャルウェーハは、何れもエピタキシャル膜表面の欠陥(エピ欠陥)密度が10個/ウェーハ以下であり、良好な結果を示した。

【0068】なお、実施例6において、一段目の酸素析出物形成熱処理を単結晶インゴットの状態で実施し、その後ウェーハに加工してから二段目の酸素析出物形成熱処理を実施しても、一段目の酸素析出物形成熱処理をウェーハの状態で行った場合と同等の効果があることが確認された。また、本実施例では全てP型(100)結晶を用いた場合について説明したが、何らこれに限定されずN型結晶への適用が否定されるものではない。

【0069】

【発明の効果】この発明は、CZ法又はMCZ法で故意にカーボンを添加し、引き上げ速度を所定範囲で高速側に設定した条件で育成された単結晶シリコンインゴットより切り出されたシリコン基板を用いることにより、B

MDを顕在化させるIG処理の均一性を向上させると同時に、表面近傍の欠陥を低減できることにより、欠陥が無く高いIG能力を有するシリコンウェーハを提供できる。

【0070】また、この発明は、エピタキシャル成長によりエピタキシャル膜を形成したシリコンウェーハにおいても、IG効果が高く表面欠陥が少ないウェーハを提供できる。

【0071】さらに、この発明で得られたシリコンウェーハは、ウェーハ内部に強固にBMDを形成することが可能であり、またウェーハ表面及び近傍に欠陥がないので、デバイスプロセス中に発生する汚染を確実にゲッタリングでき、またBMD密度にばらつきがないことにより、デバイスの信頼性を向上するだけでなく、デバイスでの歩留も飛躍的に向上させることが可能となる。

【図面の簡単な説明】

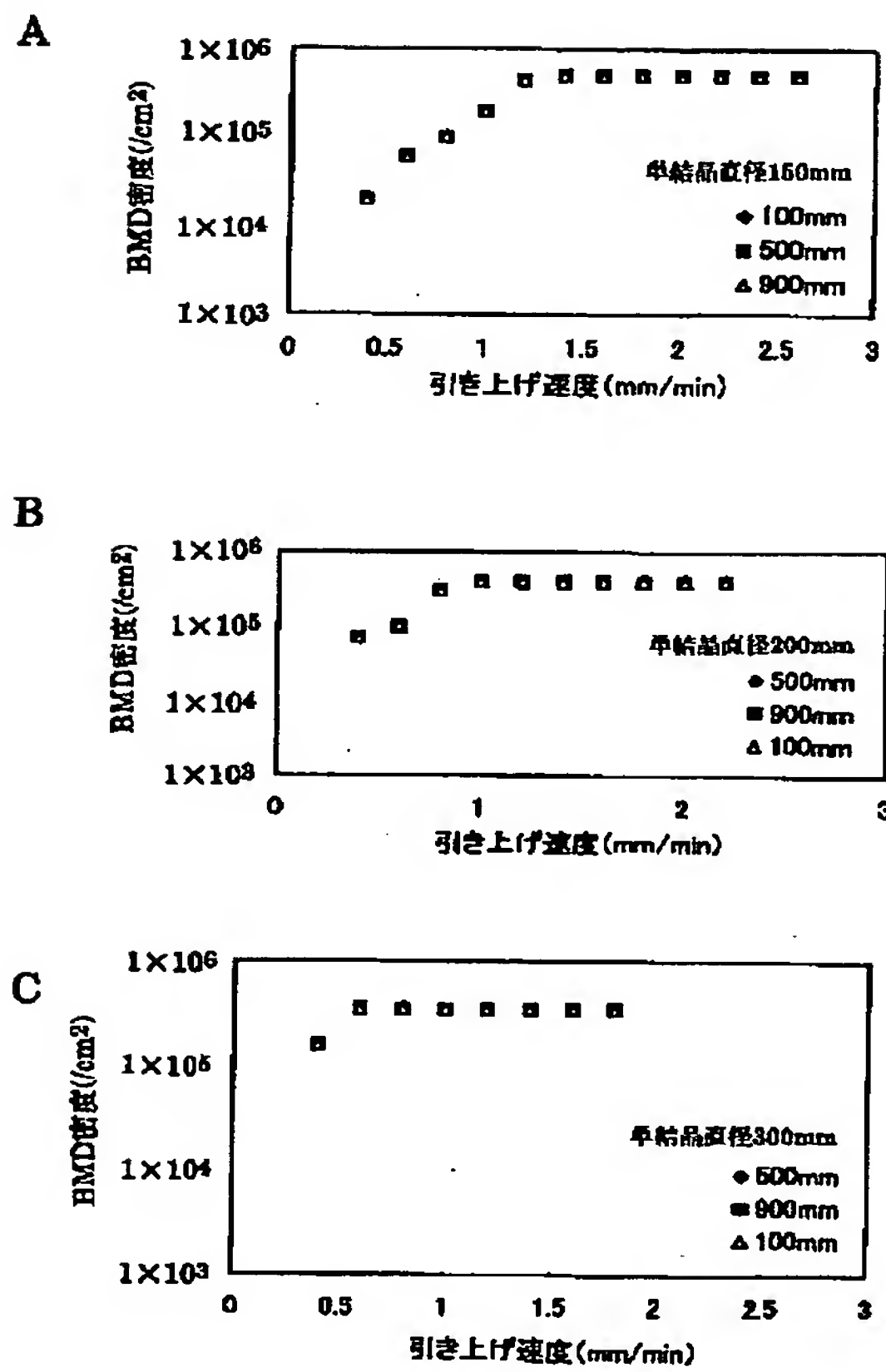
【図1】カーボンドープした結晶における、引き上げ速度とBMD密度の関係を示すグラフであり、Aは結晶サイズが150mm、Bは結晶サイズが200mm、Cは結晶サイズが300mmの場合を示す。

【図2】カーボンドープしない結晶における、引き上げ速度とBMD密度の関係を示すグラフであり、Aは結晶サイズが150mm、Bは結晶サイズが200mm、Cは結晶サイズが300mmの場合を示す。

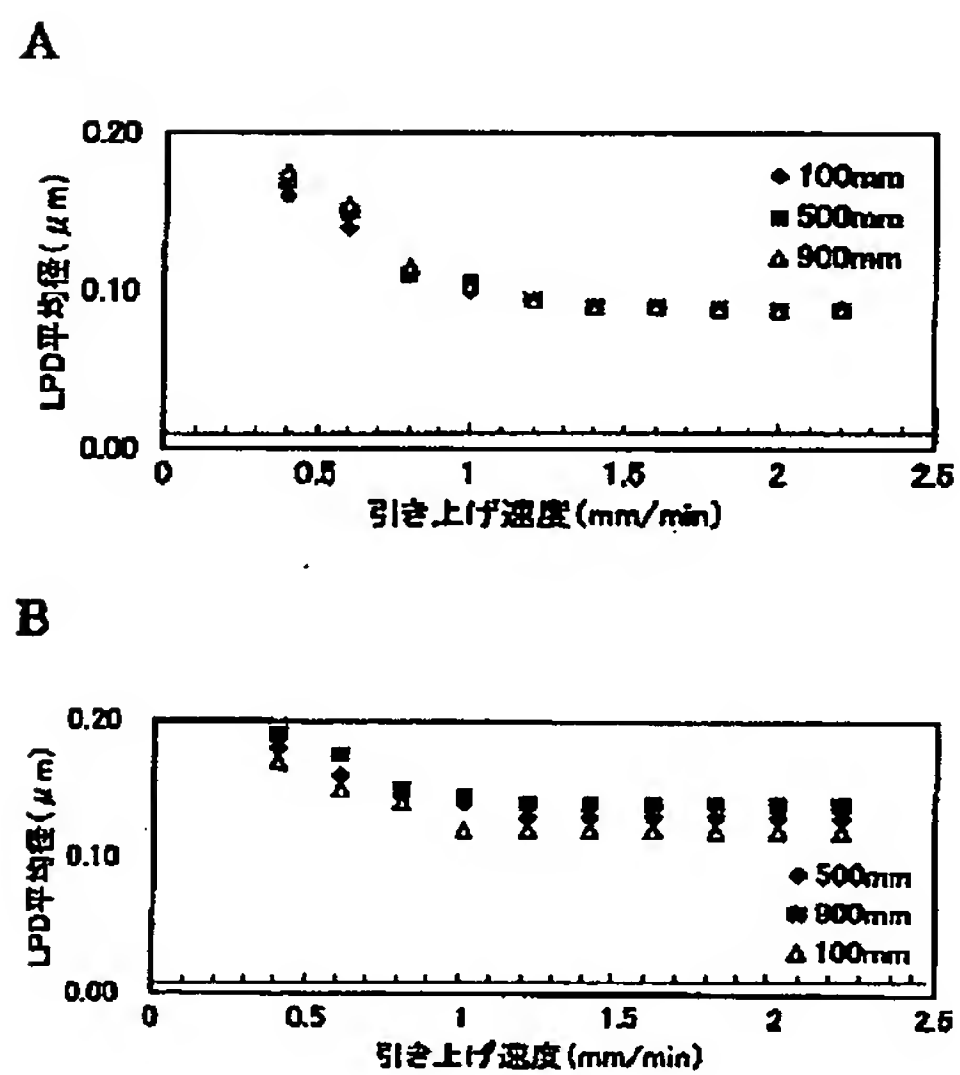
【図3】引き上げ速度とウェーハ表面のLPDサイズ(平均粒径)との関係を示すグラフであり、Aはカーボンドープした結晶サイズが200mm、Bはカーボンドープしない結晶サイズが200mmの場合を示す。

【図4】引き上げ速度とエピタキシャル膜表面の欠陥密度との関係を示すグラフであ、Aはカーボンドープした結晶サイズが200mm、Bはカーボンドープしない結晶サイズが200mmの場合を示す。

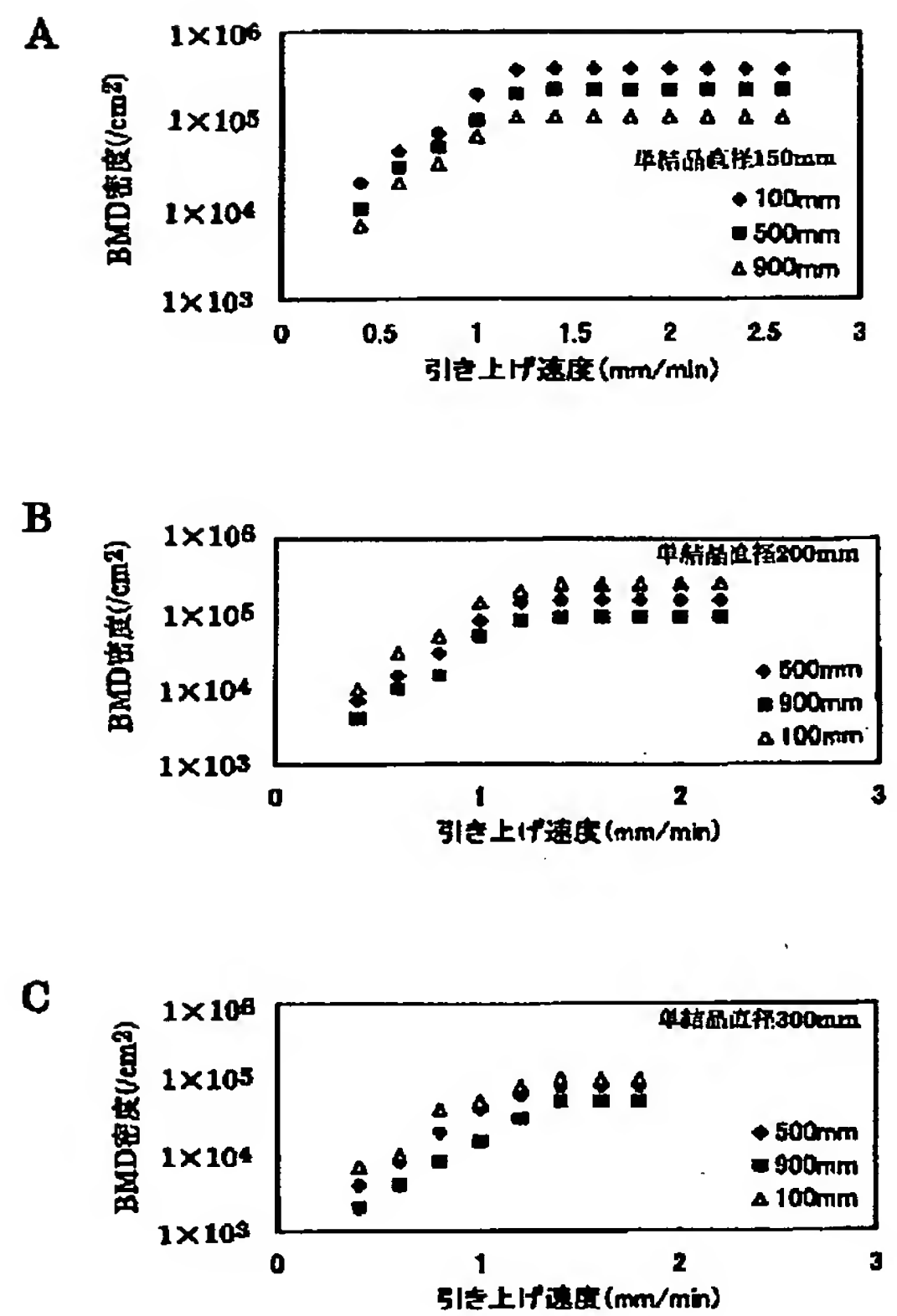
【図1】



【図3】



【図2】



【図4】

